DevOps

QueenField 

Paco Reina Campo

DevOps for Hardware and Software Systems.

Table of Contents

# PLAN

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

DevOps Toolchain

DevOps Toolchain

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

* Hardware Project Workflow

Hardware Project Workflow

Hardware Project Workflow

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

* Software Project Workflow

Software Project Workflow

Software Project Workflow

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

Hardware DevOps

|  |  |  |
| --- | --- | --- |
| CONTROL | DEVELOP | OPERATION |
| certification | bench | sim |
| doc | model | compilation |
| quality | validation | synthesis |
| requirements | rtl/src |  |
|  | source |  |
|  | verification |  |

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

|  |  |  |
| --- | --- | --- |
| FOLDER | NORMATIVE | TECHNOLOGY |
| requirements | IEEE STD 1850-2010 | PSL |
|  | OMG-2.5.1. | UML |
| certification | RTCA DO-254 |  |
|  | RTCA DO-178C |  |
| quality | ISO 9001-2015 |  |
| doc | IEEE STD 1685-2014 | IP-XACT |
|  | IEEE STD 1735-2014 |  |
| source | RTCA DO-254 |  |
|  | RTCA DO-178C |  |
| bench | IEEE STD 1076-2019 | VHDL |
|  | IEEE STD 1800-2017 | SystemVerilog |
| model | IEEE STD 1076-2019 | VHDL |
|  | IEEE STD 1800-2017 | SystemVerilog |
| validation | IEEE STD 1076-2019 | OSVVM |
| rtl/src | IEEE STD 1076-2019 | VHDL |
|  | IEEE STD 1364-2005 | Verilog |
| verification | IEEE STD 1800.2-2020 | UVM |

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## REQUIREMENTS

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## QUALITY ASSURANCE

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## CERTIFICATION

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## DESIGN LIFECYCLE DATA

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# CODE

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

**GIT**

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

* Save credentials

git config --global credential.helper cache  
git pull

* Recursively clone repository “REPOSITORY” of user “USER”

git clone --recursive https://github.com/USER/REPOSITORY.git

* Remove submodule “repository”

git rm -rf repository

* Add submodule “repository” with the content of the repository “REPOSITORY” of the user “USER”

git submodule add --force https://github.com/USER/REPOSITORY.git repository

* Save work “WORK”

git add \*  
git commit -m "WORK"  
git push origin master

* Remove last commit

git reset --hard HEAD^  
git push origin -f

* Update repository “FORKED-REPOSITORY” of the user “USER”

git remote add upstream https://github.com/USER/FORKED-REPOSITORY.git  
git fetch upstream  
git checkout master  
git rebase upstream/master  
git push -f origin master

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

**SVN**

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

* Save credentials

svn checkout --username USER --password PASSWORD https://github.com/USER/REPOSITORY

* Remove submodule “repository”

svn delete repository

* Save work “WORK”

git add \*  
svn commit -m "WORK"

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## SOURCE

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## MODEL

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Hardware

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

find . -type f -name '\*.vhd' -exec emacs -batch {} -f vhdl-beautify-buffer -f save-buffer \;

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

find . -type f -name '\*.sv' -exec verible-verilog-format \  
--inplace \  
--wrap\_spaces=2 \  
--column\_limit=256 \  
--port\_declarations\_alignment=align \  
--port\_declarations\_indentation=indent \  
--named\_port\_alignment=align \  
--named\_port\_indentation=indent \  
--formal\_parameters\_alignment=align \  
--named\_parameter\_alignment=align \  
--class\_member\_variable\_alignment=align \  
--enum\_assignment\_statement\_alignment=align \  
--struct\_union\_members\_alignment=align \  
--assignment\_statement\_alignment=align \  
--case\_items\_alignment=align \  
--distribution\_items\_alignment=align \  
--module\_net\_variable\_alignment=align \  
--nocompact\_indexing\_and\_selections \  
--expand\_coverpoints {} \;

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

find . -type f -name '\*.vhd' -exec vhdl2verilog {} \;

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

find . -type f -name '\*.sv' -exec verilog2vhdl {} \;

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Software

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## DESIGN

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Hardware: RTL

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Software: SRC

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# BUILD

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## SIM

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### VHDL

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### GHDL

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Verilog

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### Icarus Verilog

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## COMPILATION

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### MSP430 GNU Compiler Collection

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### MSP430 GNU C

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### MSP430 GNU C++

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### MSP430 GNU Go

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### MSP430 GNU Rust

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### OpenRISC GNU Compiler Collection

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### OpenRISC GNU C

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### OpenRISC GNU C++

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### OpenRISC GNU Go

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### OpenRISC GNU Rust

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### RISC-V GNU Compiler Collection

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### RISC-V GNU C

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### RISC-V GNU C++

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### RISC-V GNU Go

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### RISC-V GNU Rust

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## SYNTHESIS

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### ASIC for Design

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### Yosys-Qflow

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

type:

cd synthesis/qflow  
source flow.sh

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### FPGA for Model

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### Yosys-Symbiflow

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

type:

cd synthesis/symbiflow  
source flow.sh

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# TEST

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## VALIDATION

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Hardware

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### TestBench SV

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### TestBench OSVVM

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Software

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

## VERIFICATION

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Hardware

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### TestBench SV

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

#### TestBench UVM

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

### Software

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# RELEASE

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# DEPLOY

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

Global Dependences

Global Dependences

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# Install FuseSoC  
pip3 install --upgrade --user fusesoc  
  
# Uninstall FuseSoC  
pip3 uninstall fusesoc  
  
# Enviroment FuseSoC  
export PATH=~/.local/bin:$PATH  
  
# Check FuseSoC version  
fusesoc --version  
  
# Folder  
rm -rf workspace  
mkdir workspace  
cd workspace  
  
# Start  
fusesoc library add fusesoc-cores https://github.com/fusesoc/fusesoc-cores  
fusesoc core list  
  
# Simulation FuseSoC < 2.0  
fusesoc sim --sim=verilator mor1kx-generic  
fusesoc sim --sim=verilator mor1kx-generic --elf-load hello.elf  
  
# Simulation FuseSoC 2.0  
fusesoc run --target=sim i2c

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# OPERATE

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..

# MONITOR

.. ……. …….. …….. ……. .. ……….. …… …. .. …… ….. .. ….. …. …….. … …… . … …. .. ……… ……….. …. …. …….. .. …. . ….. ……. …. … …….. …. ………… .. … … ……. .. …… …. … …. ……. .. ….. … …. ……. … ……. ……… ….. ………. ……. ….. ……. … ……. … ……. ….. ….. …. . …….. .. … ….. ……… .. …….. ….. ……. ………. ………. … …….. .. … ….. .. …….. ….. ………. …. … …… .. …..